

新型 IC カードリーダーのハードウェア開発

前田 孝^{*1} 松下 一子^{*2}
Maeda Takashi Matsushita Kazuko

当社が製作・販売している現行の入退室管理システムに使用する IC カードリーダーについて、小型化のニーズがあり、筐体きょうたいの小型化に対応した新型 IC カードリーダー基板を開発した。

基板の小型化を実現するために、回路の削減、基板上の部品レイアウトの見直し、部品の小型化を実施した。

また、要求される環境条件の見直しを行い、規格に捉われず実際に使用する環境を想定した試験を実施した。特に静電気を受けることによる誤作動の対策と基板の電源プレーンで発生する共振現象の対策に注力して開発した。

新型 IC カードリーダーの小型化を実現するための技術的課題と IC カードリーダー基板の評価方法について紹介する。

キーワード：入退出管理システム、IC カードリーダー、基板開発、小型化

1. はじめに

IC カードリーダーは、入退出管理システムにおいて、IC カード (FeliCa) の認証情報を非接触で読み取り、電気錠の施錠・解錠を行う中心的な機器である。

タッチパネル付きの液晶ディスプレイ (以下、LCD と記す) を用いたユーザーインターフェースを有しており、ネットワーク接続するための LAN 通信機能も有している。

一般的には、電気錠の施錠・解錠用に電気錠制御盤を別に用意するが、IIC で製作する IC カードリーダーは、単独で電気錠の施錠・解錠を行う機能を持ち、IC カードリーダー内に IC カード認証

用のデータも登録できるため、IC カードリーダーをスタンドアロン版として運用可能である。

また、LAN のネットワークに接続することにより最大 10 台の IC カードリーダーに認証データを配信でき、管理 PC から入退出ログがダウンロード可能な入退出管理システムへ拡張することができる。

スタンドアロン版からシステム版へシステムを拡張した時のシステム構成を図 1 に示す。

入退出管理システムの概要については、IIC のホームページを見ていただきたい。

本編は、現行の IC カードリーダーに用いる基板の小型化を実現するための技術的課題と IC カードリーダー基板の評価方法について紹介する。

*1：制御システム事業部 エンジニアリング部 課長
*2：制御システム事業部 エンジニアリング部

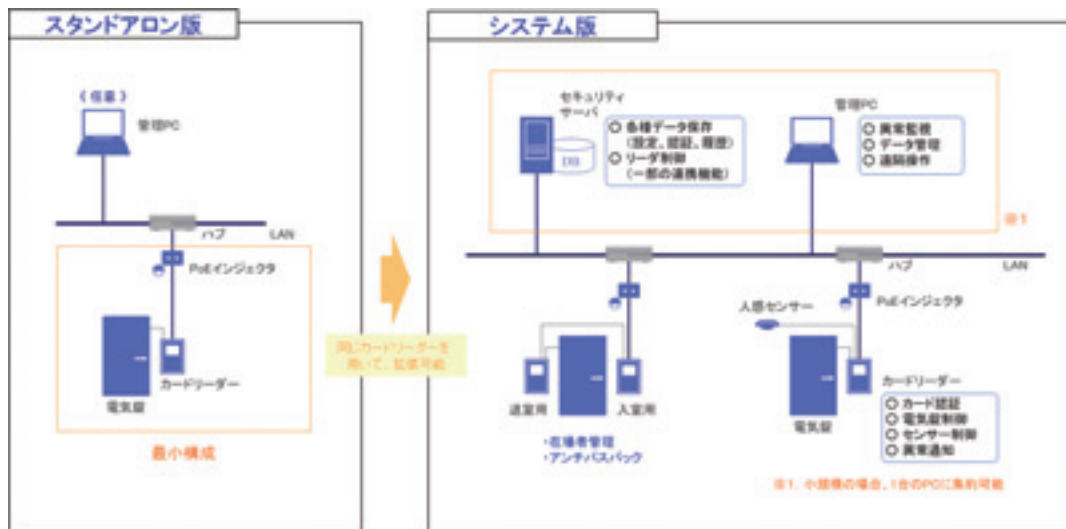


図1 システム構成

2. 新型 IC カードリーダー基板の開発

2.1 小型化の技術的課題

入退出管理システムのユーザーには装置小型化の要望があり、現行の IC カードリーダーの 3 個用スイッチボックス (JIS C 8435 合成樹脂製ボックスおよび、ボックスカバー)⁽¹⁾で取り付け可能な大きさから、2 個用スイッチボックスで取り付け可能な大きさを目指とした。IC カードリーダーの大きさ比較を表 1 に、図 2 に比較した写真を示す。

表 1 IC カードリーダーの大きさ比較

| | 幅 | 高さ | 奥行き |
|-----|-----|-----|-----|
| 現行 | 130 | 210 | 33 |
| 小型化 | 130 | 140 | 45 |

単位 ; mm

小型化を実現するための技術的課題は次の 6 つである。

- (1) 基板の面積を削減する。
- (2) 電気錠等の外部と接続するコネクタは変更しない。
- (3) 現行使用している LCD が廃品種となったの



図 2 IC カードリーダーの大きさ比較写真

で代替 LCD とのインタフェースを可能にする。

(4) ログの保存を目的とした SD カードの対応を追加する。

(5) プリント基板を高密度化することによる信号品質の劣化を抑える。

(6) 耐環境性の能力は、維持する。

この課題に取り組み、IC カードリーダー基板を、面積比で約 15%削減した。

IC カードリーダー基板の大きさ比較を表 2 に、図 3 に比較した写真を示す。

表 2 基板の大きさ比較

| | 幅 | 高さ | 奥行き |
|-----|-----|-----|-----|
| 現行 | 85 | 150 | 33 |
| 小型化 | 105 | 105 | 32 |

単位 ; mm



図 3 基板の大きさ比較写真

2.2 小型化基板の開発

基板の小型化について、次のアプローチで開発を進めた。

2.2.1 削減可能な機能の洗い出し

納入した装置の使用実績から、使用頻度が少ない機能（使用していない機能）を洗い出した結果、2つの機能を削減できることがわかった。

- ・ パッシブセンサーは、2つ接続できる構成から1つ減らす。
- ・ 電源の入力は、2つ（LAN の PoE^{注1} と、DC24V 電源コネクタ）を切り替えていたが、LAN の PoE からの供給が 100%なので、DC24V 電源コネクタと電源切替スイッチは削除する。

^{注1} Power over Ethernet (PoE) とは、イーサネットの配線を通じて電力を供給する技術のこと。

2.2.2 基板構成の検討

2.2.1 項の削減のみでは要求されたダウンサイジングは達成できず、基板構成の見直しを実施した。

目標とする筐体の大きさを CAD 化し、有効な基板構成を求めた結果、基板 1 枚から、2 枚の基板を積み重ねる構成とすることにより筐体収納時の面積を削減した。

2 枚構成にするにあたっては、2.2.3 項に示す回路の見直しを実施した。

また、透明の筐体を製作し実際に小型化した基板を収納して基板の取り付け、ハーネスの引き回しが計画通りできていることを確認した。

現行の IC カードリーダー基板の写真を図 4 に、小型化した基板の写真を図 5 に示す。



図 4 現行の基板写真



図 5 小型化の基板写真

また、透明筐体を使用し、収納状態を確認した時の写真を図6に示す。



図6 透明筐体での収納確認写真

2.2.3 回路の見直し

基板の構成を1枚から2枚に変更したことにより、各基板の機能割振り検討および、回路機能の見直しを実施した。

検討の結果、CPUを中心とした演算機能を有するCPU基板と、各IOとのインタフェース回路および、電源回路を有するIF基板とに機能を割り振った。

CPU基板とIF基板間の信号については、インタフェースする信号の本数を削減するために、通信、音声、表示灯(LED)を除く制御信号・モニタ信号については、I2C(Inter-Integrated Circuit)バスで信号の通信を行い、IF基板でシリアル・パラレル変換する回路とした。

回路規模が大きい電源部は、入力電源の24Vから周辺用機器用の+12V、+5Vおよび、基板内のIF電源の+3.3VをIF基板上で生成し、CPUの内部コア用+1.25Vおよび、DDR-SDRAMインタフェース用+2.5VをCPU基板で生成する構成とした。

2.2.4 部品の小型化

基板上の部品について、小型化または他の部品に置き換えができるか検討した。

- ・ CPUの電源バイパス用コンデンサを、1005(1.0×0.5mm)サイズから0603サイズ(0.6×0.3mm)に変更することにより面積比で36%削減した。

大きさの比較を図7に示す。

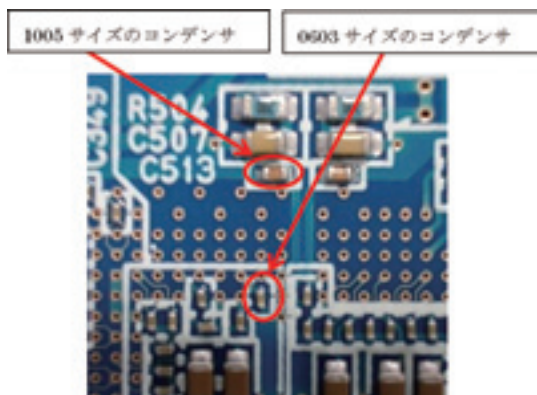


図7 小型化したコンデンサ

- ・ 抵抗は、信号のプルアップ・プルダウン用抵抗は単体の物から集合抵抗へ変更することにより実装スペースの効率化を実現した。
- ・ 電気錠用の電源出力は、設置現場での接続間違いによる短絡対応で電流制限素子(ポリスイッチ)を使用している。溶断するヒューズを使用すると実装面積の削減が期待できるが、設置現場でのヒューズ交換が難しいので現状から変更せずに電流制限素子(ポリスイッチ)を使用する。
- ・ 外部接続コネクタを廃止して、電線をピグテールとすると、実装面積が削減できるが、設置時の作業性が悪いため、外部接続コネクタは現状と同じコネクタとした。
- ・ IC類は、機能が同じで小型に置き換えが可能な物に見直した。

2.2.5 部品配置

基板構成の見直しで割り出した基板形状・大きさに主要な回路部品を無理なく実装するために主に次の3つの条件を念頭に部品の配置を検討した。

- ・ 信号がスムーズに配線できる。
- ・ 発熱する部品の周囲はあける。

- ・ コネクタ等の人が触る部品は、アクセス性を考慮する。

IF基板とCPU基板の部品配置検討を図8、図9に示す。

また、基板を組み立てた時の配置検討を図10に示す。

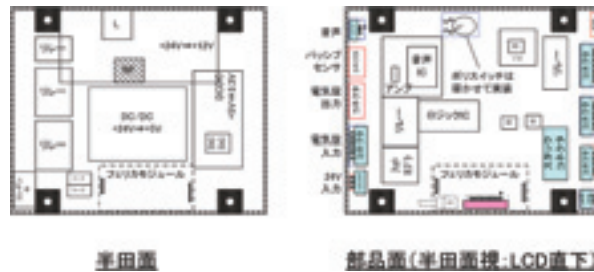


図8 IF基板の配置検討

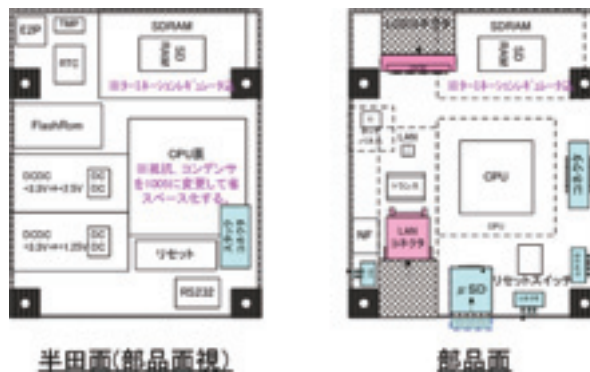


図9 CPU基板の配置検討

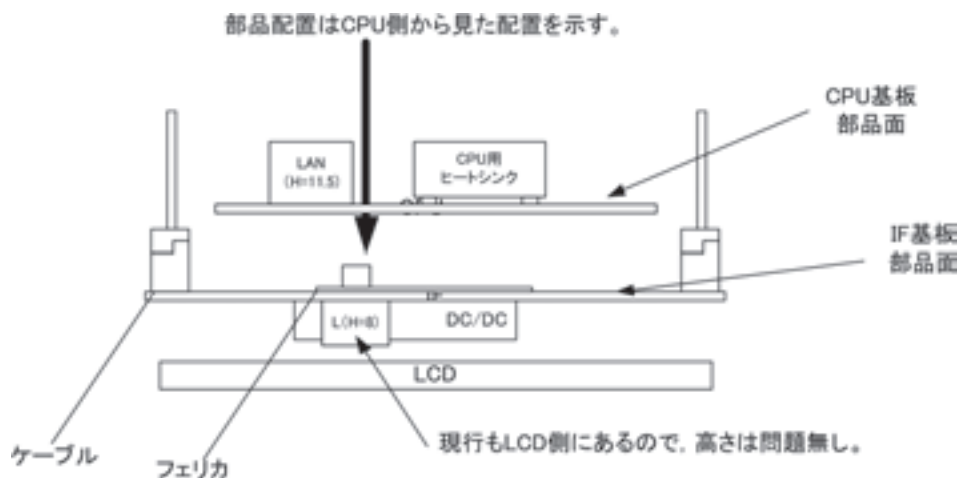


図10 基板を組み合わせた時の配置検討

2.2.6 代替 LCD への対応

現行カードリーダーに使用していた LCD のメーカーは他社と事業統合し、生産品目も限定されたためカードリーダーに必要な LCD が入手できなくなり、代替品を探す必要が生じた。

代替品調査の過程で、現行カードリーダーに使用していた LCD の製造を下請けしていた台湾のメーカーがカードリーダーに適した小型 LCD を販売していることがわかり、メーカーの製品を調査したところ、IC カードリーダーで使用している LCD と同じ大きさの LCD が見つかったので、候補 4 つをトレードオフし代替の LCD (TX09D30VM1CCA) を選定した。(表 3 参照)

代替 LCD は、現行と電氣的インタフェースに違いがあるが、大幅な回路変更を実施せずに代替対応することができた。

2.2.7 追加機能の対応

基板の小型化とともに次の 2 つの機能を追加した。

(1) SD カード対応

ログの保存用に SD カードの追加が必要となり、通常の SD では実装面積が大きいため MicroSD を採用した。

現行の CPU には、SD を制御する機能がないので CPU を変更する必要がある。

CPU の変更は、同一シリーズから採用する CPU を選択することにより回路およびソフト変更を最小限にとどめた。

(2) 温度センサーの追加

IC カードリーダーを防滴化する構想があり、密閉構造の中に基板を収納するため、筐体内の温度上昇を監視する目的で温度センサーを追加することとした。

CPU と SPI (Serial Peripheral Interface) バスで接続する温度センサーを選定したことから最小の部品構成が実現できた。

図 11 に追加した MicroSD と温度センサーの位置を示す。

表 3 代替 LCD のトレードオフ

| 現行品と仕様異なる。 | | | | | |
|------------|---------------------------------|---------------------------------|---------------------------------|---------------------------------|---------------------------------|
| 品名 | 現行品 | 候補 (1) | 候補 (2) | 候補 (3) | 候補 (4) |
| 解像度 | 240X320 | 240X320 | 240X320 | 240X320 | 240X320 |
| インターフェース | ・ C-MOS ・ 18ビットRGB ・ 40ピン | ・ C-MOS ・ 18ビットRGB ・ 40ピン | ・ C-MOS ・ 18ビットRGB ・ 50ピン | ・ C-MOS ・ 18ビットRGB ・ 40ピン | ・ C-MOS ・ 18ビットRGB ・ 50ピン |
| 視野方向 | 6時 | 6時 | 3時 | 6時 | 6時 |
| 動作温度 | -20~70°C | -20~70°C | -20~70°C | -20~70°C | -20~70°C |
| タッチパネル | 抵抗膜方式 | 抵抗膜方式 | 抵抗膜方式 | 抵抗膜方式 | 抵抗膜方式 |
| コネクタ | FASB040HP1R3000 (JAE) | FASB040HP1R3000 (JAE) | FH12-50S-0.5P (tzt) | FASB040HP1R3000 (JAE) | FH12-50S-0.5P (tzt) |
| 評価 | - | ○ ・ インタフェース同等 ・ 購入可能 | △ ・ インタフェースが異なる | × ・ 仕様が一番合致している ・ 流通が無い | △ ・ インタフェースが異なる |

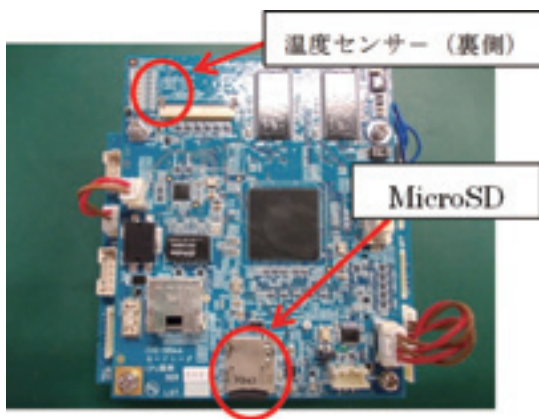


図 11 追加機能

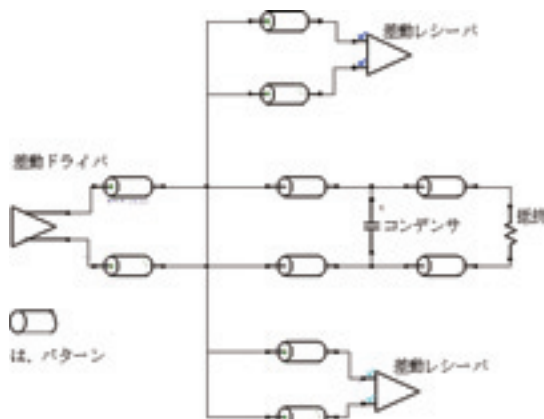


図 12 トポロジー

2.2.8 回路シミュレーション

小型化すると部品の実装面積が高密度化することになり、信号品質が劣化する可能性があり、3つのシミュレーションを実施した。

(1) 伝送路プリシミュレーション

パターン設計の開始時点で動作速度の速いCPU⇄DDR SDRAM間のクロック、アドレスデータおよび制御信号を対象に3つの項目について確認した。

- ①信号品質
- ②基準クロックと信号線の遅延
- ③クロストーク

シミュレーションは、対象とする信号の分岐点、パターン長のトポロジー(図12に示す)を作成し、接続しているICの入出力仕様等の条件を元にメンター製HyperLynx 8.2.1 (LineSim)を使用することにより作成したトポロジーの妥当性を評価した。信号品質のシミュレーション結果である伝送波形を、図13、図14に示す。

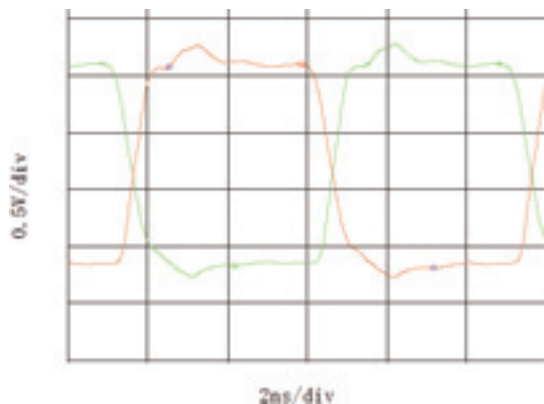


図 13 伝送波形 (シングルエンド表示)

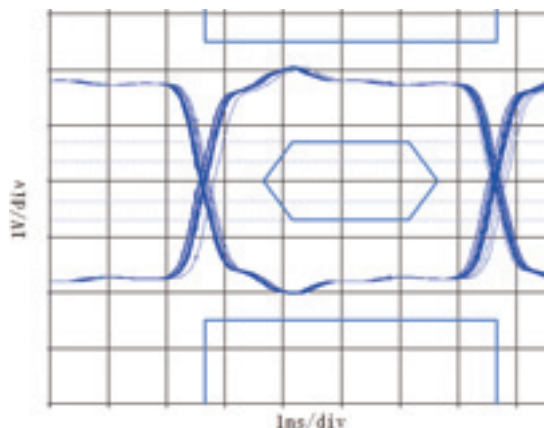


図 14 伝送波形 (アイパターン表示)

この結果をまとめ、パターン設計の指針として使用した。

また、ダンピング抵抗および、終端抵抗の定数の違いによる信号波形の変化を確認することにより定数の最適値を決定した。

(2) 電源プレーン共振シミュレーション

EMI (Electro-Magnetic Interference : 電磁妨害) の評価として、電源 -GND プレーン間の共振の発生をシミュレーションした。

解析対象の電源ネットに対して励振点 (= 仮想ノイズ印加点) を設け、このノイズ印加点からの

電源プレーン上でのノイズ伝播状態を電磁妨害抑制設計支援ツール DEMITASNX を使用して解析した。

共振の発生個所に共振を抑制するためのコンデンサまたは、スナバ回路を挿入することにより対策を実施した。

図 15 と図 16 は、対策部品のコンデンサ 1 個とスナバ回路 3 個の追加で共振レベルを 10dB 以上抑止した例である。

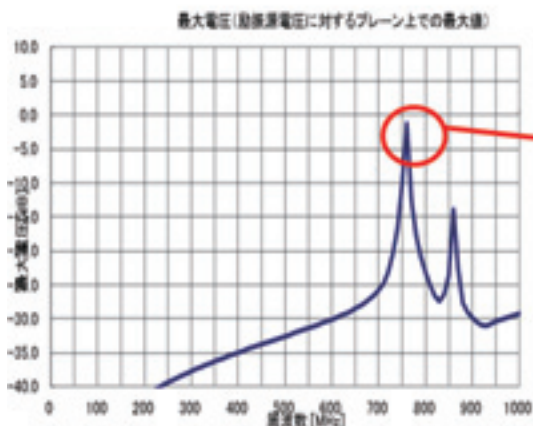


図 15 +3.3V 励振点 : U100 (対策前)

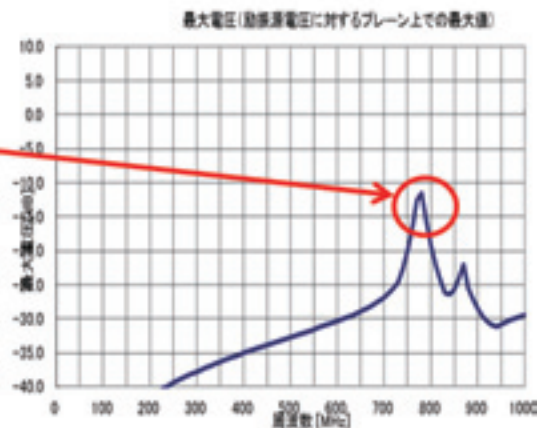


図 16 +3.3V 励振点 : U100 (対策後)

(3) EMI チェック

パターン設計時に、電磁妨害抑制設計支援ツール DEMITASNX を用いて EMI チェックを行うことにより EMI の原因となる以下の 2 項目を確認し、NG 数は、“0”（ゼロ）であった。

EMI ルールチェック結果の抜粋を、表 4 に示す。

- ・ 信号線が、GND と電源層間をまたいでいないか。（GV またぎ）
- ・ 信号線のリターン電流パスが、層内で分断されていないか。（リターンパス）

表 4 EMI ルールチェック結果（抜粋）

| ネット名 | 周波数(MHz) | Point | GVまたぎ | リターンパス |
|-----------|----------|-------|-------|--------|
| CKO | 50 | 0 | | |
| CLK25M | 25 | 0 | | |
| CLK25M1 | 25 | 0 | | |
| DATA0_B1 | 10 | 0 | | |
| DATA1_B2 | 10 | 0 | | |
| DATA2_B3 | 10 | 0 | | |
| DATA3_B4 | 10 | 0 | | |
| DATA4_B5 | 10 | 0 | | |
| DATA5_G0 | 10 | 0 | | |
| DATA6_G1 | 10 | 0 | | |
| DATA7_G2 | 10 | 0 | | |
| DATA8_G3 | 10 | 0 | | |
| DATA9_G4 | 10 | 0 | | |
| DATA10_G5 | 10 | 0 | | |
| DATA11_R1 | 10 | 0 | | |
| DATA12_R2 | 10 | 0 | | |
| DATA13_R3 | 10 | 0 | | |
| DATA14_R4 | 10 | 0 | | |
| DATA15_R5 | 10 | 0 | | |
| DCLK | 20 | 0 | | |

2.3 カードリーダー基板の評価試験

2.3.1 静電気放電イミュニティ試験

イミュニティ試験とは、装置の電磁妨害に対する耐性を評価するための試験である。

冬の湿度の低い時期に IC カードをかざした時の静電気で誤動作しないことを評価するために、次の規格に則って試験を実施した。

- ① IEC 61000-4-2 静電気放電イミュニティ試験⁽²⁾
- ② JIS C 61000-4-2 電磁両立性－第 4 部：試験⁽³⁾

及び測定技術－第 2 節：静電気放電イミュニティ試験

評価は樹脂筐体に基板を収納するため、気中放電の厳しさレベル 3（評価レベル C）の性能を確認した。

また、LCD を除く基板単体としては厳しさレベル 4 の性能を確認した。

厳しさレベルと評価レベルの抜粋を表 5 と表 6 にまとめる。

また、試験時の写真を図 17 と図 18 に示す。

表 5 JIS C EC61000-4-2 厳しさレベル（抜粋）

| 接触放電 | | 気中放電 | |
|------|---------|------|---------|
| レベル | 試験電圧 kV | レベル | 試験電圧 kV |
| 1 | 2 | 1 | 2 |
| 2 | 4 | 2 | 4 |
| 3 | 6 | 3 | 8 |
| 4 | 8 | 4 | 15 |
| X | 特別 | X | 特別 |

表 6 JIS C EC61000-4-2 評価レベル（抜粋）

| レベル | 評価 |
|-----|--|
| A | 仕様の許容値内の正常な動作 |
| B | 自己回復可能な機能または動作の一時的な低下または損失の発生 |
| C | 操作者の介入やシステムをリセットする必要がある機能や動作の一時的な低下や損失の発生 |
| D | 装置(部品)またはソフトウェアの損傷またはデータの消失による回復可能な機能の低下または損失の発生 |



図 17 静電気放電イミュニティ試験 (1/2)

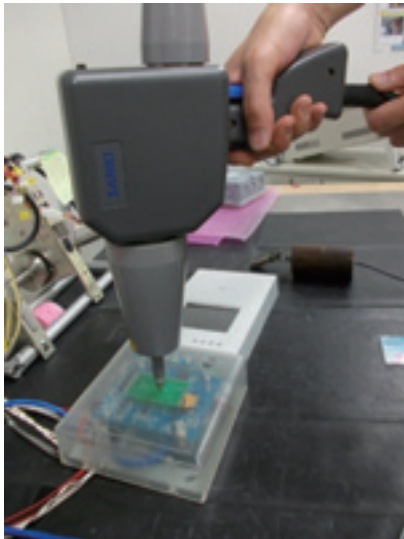


図 18 静電気放電イミュニティ試験 (2/2)

となり、周囲温度に対して約 20℃ 上昇していた。

温度試験時の写真を図 19 と図 20 に示す、温度の実測データの抜粋を図 21 に示す。

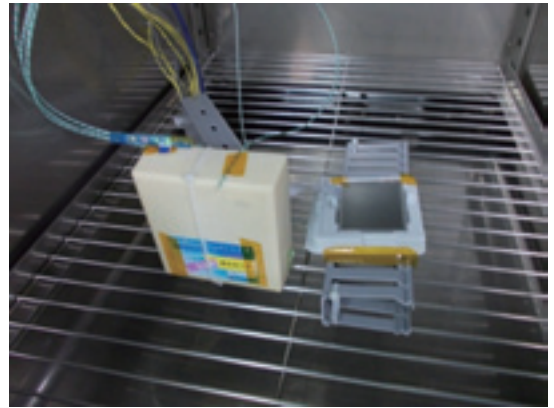


図 19 温度試験



図 20 温度計測用熱電対

2.3.2 温度試験

高温、低温環境で動作することおよび、高温、低温環境で保管した状態から常温に戻して動作することを、次の規格を参考に実施した。

・ JIS C 60068 環境試験方法⁽⁴⁾

高温動作試験；+45℃で実施

低温動作試験；-5℃で実施

高温放置試験；+70℃で実施

低温放置試験；-20℃で実施

また、試験時に温度上昇が考えられる部品について、温度変化を観測した結果、CPU が最も高温

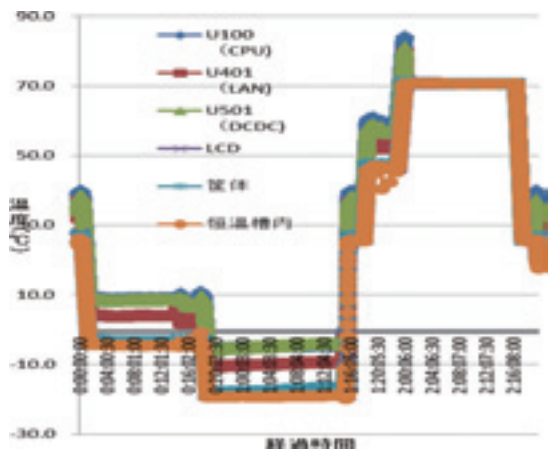


図 21 温度実測データ (抜粋)

2.3.3 電磁波イミュニティ試験

電磁波イミュニティ試験には規格があるが、スマートフォンを持っている状態でICカード認証を行う等の使用時の電磁波環境を想定して試験を実施した。

電磁波を発生する4つの機器の近傍でICカードリーダーが正常に動作した。

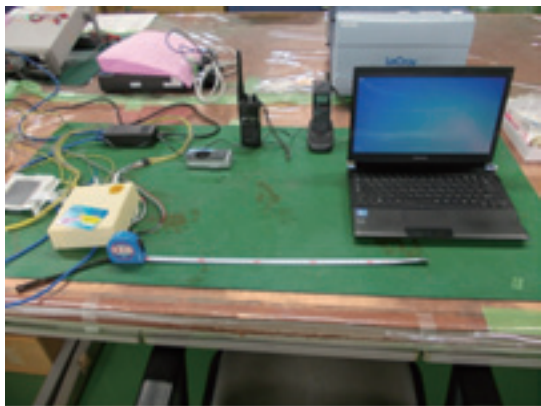


図 22 電磁波イミュニティ試験（無線 LAN）

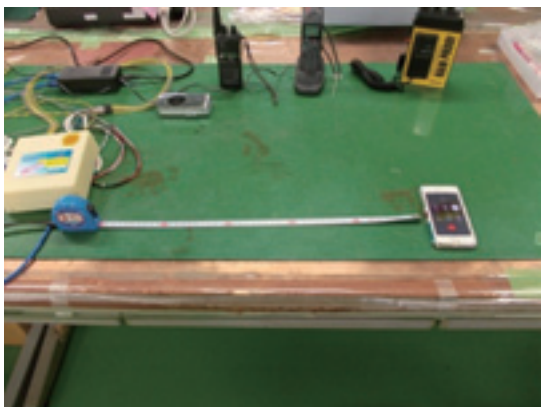


図 23 電磁波イミュニティ試験（スマートフォン）

- ①無線 LAN 近傍の動作
- ②アマチュア無線近傍の動作
- ③CB 無線近傍の動作
- ④スマートフォン近傍の動作

図 22 と図 23 に試験時の写真を示す。

3. まとめ

小型化ニーズに対して、要求を満足できる基板を開発することができた。

また、パターン設計時にシミュレーションを実施したことにより高密度の部品実装に対する静電気他の電磁適合性が保たれることを評価試験で確認できた。今後の基板開発を行う時には、パターン設計時のシミュレーションの利用を進める。

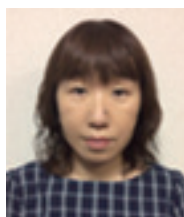
部品の小型化として 0603 (0.6×0.3mm) サイズのコンデンサを新たに採用し、基板の小型化を実現したので、さらに他の部品の小型化も、基板開発時に採用を検討して行く。

参考文献

- (1) JIS C 8435、合成樹脂ボックスおよびボックスカバー
- (2) IEC 61000-4-2、静電気放電イミュニティ試験
- (3) JIS C 61000-4-2、電磁両立性－第 4 部：試験及び測定技術－第 2 節：静電気放電イミュニティ試験
- (4) JIS C 60068、環境試験方法



制御システム事業部
エンジニアリング部
課長
前田 孝
TEL. 042-523-8313
FAX. 042-523-8321



制御システム事業部
エンジニアリング部
松下 一子
TEL. 042-523-8313
FAX. 042-523-8321